

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 12 日
Application Date

申請案號：092105403
Application No.

申請人：博旺電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 15 日
Issue Date

發文字號：09221037770
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	快閃式記憶體之實體分頁配置(Physical Page Allocation)的方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 陳陵堅
	姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (中 文)	1. 台北市南港區興中路28巷28號12樓之二
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 博旺電子股份有限公司
	名稱或 姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 台北市南港區興中路28巷28號12樓之二 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 姚忠一
	代表人 (英 文)	1.



四、中文發明摘要 (發明名稱：快閃式記憶體之實體分頁配置(Physical Page Allocation)的方法)

本案為一種為加速快閃式記憶體存取速度所設計之實體分頁配置 (Physical Page Allocation) 的方法，係提供複數個記憶體晶片以進行下列步驟：定義 N 個連續分頁為一組分頁，其中 N 為正整數；配置一第一組分頁於一第一記憶體晶片；配置一第二組分頁於一第二記憶體晶片，其中該第二組分頁與該第一組分頁為相鄰之連續分頁；配置一第三組分頁於該第一記憶體晶片；以及配置一第四組分頁於該第二記憶體晶片，其中該第四組分頁與該第三組分頁為相鄰之連續分頁。

本案代表圖為第三圖代表圖之元件
代表符號簡單說明：

Blk[]：記憶體區塊 (Blocks)

Page：記憶體實體分頁

CS0、CS1、CS2、CS3：記憶體晶片

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本案為一種為加速快閃式記憶體存取速度所設計之實體分頁配置 (Physical Page Allocation) 的方法，其特徵在於對記憶體寫入大量而連續之資料時，其每一筆資料之寫入程序，從下達寫入命令 (Program Command) 後，只要進行到實際寫入動作開始，即可以再進行下一筆資料寫入程序，而毋須等待實際寫入動作完成，因此可加速記憶體之存取速度。

[先前技術]

快閃記憶體 (Flash Memory) 為一種非揮發性記憶體 (NVRAM)，和電子可抹除式唯讀記憶體 (EEPROM) 一樣，係以電性方式來抹除資料，可連續更改內存資料達數千至數十萬次，且電源關閉後，內存之資料不會流失，甚至可保存十年之久。快閃記憶體與 EEPROM 之差異，在於其係以區塊 (Block) 方式清除資料，可節省時間，而且價格便宜位元密度也較高，因此快閃記憶體已逐漸取代 EEPROM，成為非揮發性記憶體中，最具發展潛力的技術。

習知快閃記憶體之實體分頁配置 (Physical Page Allocation)，係如第一圖所示，採取串接模式 (Cascade Mode)，由記憶體晶片 CS0 開始，配置分頁 Page 0 至 Page m，而記憶體晶片 CS1 則接續記憶體晶片 CS0，由 Page m+1 開始配置，以此類推，直到記憶體晶片 CS3 配置最後一個分頁 Page n。

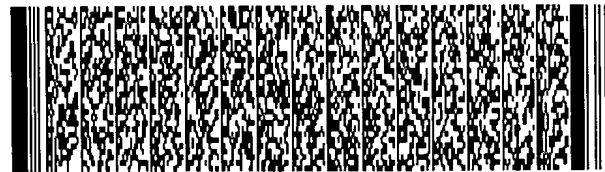


五、發明說明 (2)

第二圖所示為習知快閃記憶體之存取時序圖，由於習知快閃記憶體之實體分頁配置 (Physical Page Allocation) 採取串接模式 (Cascade Mode)，因此每一筆資料之寫入程序，皆係從下達寫入命令 (Program Command) 後，一直進行到實際寫入動作 (忙碌信號 RnB 維持低準位期間) 完成時，才可以再進行下一筆資料寫入程序，因此習知快閃記憶體之存取速度無法再獲得提升。目前半導體製程發展相當快速，快閃記憶體之記憶容量也因製程改良而越來越大。因此，快閃記憶體之存取速度有必要加以改進提升，以避免未來存取大量資料時過於耗時。

[本案目的]

為因應上述需求，本案乃構思一種為加速快閃式記憶體存取速度所設計之實體分頁配置 (Physical Page Allocation) 的方法，藉由將記憶體之每一分頁或每一組分頁，與其相鄰之分頁配置於不同之記憶體晶片，使得記憶體在寫入大量而連續之資料時，其每一筆資料之寫入程序，從下達寫入命令 (Program Command) 後，只要進行到實際寫入動作開始，即可以再進行下一筆資料寫入程序，而毋須等待實際寫入動作完成，以達到加速記憶體存取速度之目的。且如果快閃記憶體的每一組分頁大小大於每一分頁時，對每一分頁寫入大量而連續之資料，且這些每一分頁均屬同一組分頁，則可將之合併在一次的寫入命令 (Program Command) 進行實際的寫入動作，反之，對每一



五、發明說明 (3)

分頁讀取大量而連續之資料，且這些每一分頁均屬同一組分頁，則可將之合併在一次的讀取命令 (Read Command) 進行實際的讀取動作，節省元件的等待時間以求達到高速存取之目的。

[發明內容]

為達上述目的，本案提出一種記憶體之實體分頁配置 (Physical Page Allocation) 的方法，係提供複數個記憶體晶片以進行下列步驟：定義 N 個連續分頁為一組分頁，其中 N 為正整數；配置一第一組分頁於一第一記憶體晶片；配置一第二組分頁於一第二記憶體晶片，其中該第二組分頁與該第一組分頁為相鄰之連續分頁；配置一第三組分頁於該第一記憶體晶片；以及配置一第四組分頁於該第二記憶體晶片，其中該第四組分頁與該第三組分頁為相鄰之連續分頁。

如所述之記憶體之實體分頁配置的方法，其中該記憶體為一快閃記憶體 (Flash Memory)。

如所述之記憶體之實體分頁配置的方法，其中每一分頁之記憶容量為 512 個位元組 (512 Bytes)。

如所述之記憶體之實體分頁配置的方法，其中每一組分頁之記憶容量為 $512 * N$ 個位元組 (Bytes)。

如所述之記憶體之實體分頁配置的方法，其中當該第三組分頁與該第二組分頁為相鄰之連續分頁，則係為二路交錯模式 (2-way Interleave Mode) 之配置。



五、發明說明 (4)

為達上述目的，本案更提出一種記憶體之實體分頁配置 (Physical Page Allocation) 的方法，係提供複數個記憶體晶片以進行下列步驟：

定義 N 個連續分頁為一組分頁，其中 N 為正整數；

配置一第一組分頁於一第一記憶體晶片；

配置一第二組分頁於一第二記憶體晶片，其中該第二組分頁與該第一組分頁為相鄰之連續分頁；

配置一第三組分頁於一第三記憶體晶片；

配置一第四組分頁於一第四記憶體晶片，其中該第四組分頁與該第三組分頁為相鄰之連續分頁。

配置一第五組分頁於該第一記憶體晶片；

配置一第六組分頁於該第二記憶體晶片，其中該第六組分頁與該第五組分頁為相鄰之連續分頁。

配置一第七組分頁於該第三記憶體晶片；以及

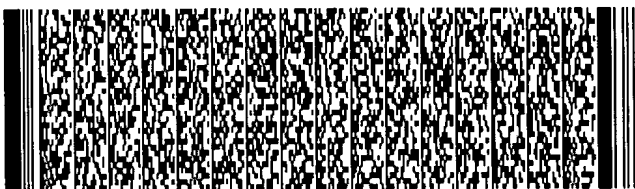
配置一第八組分頁於該第四記憶體晶片，其中該第八組分頁與該第七組分頁為相鄰之連續分頁。

如所述之記憶體之實體分頁配置的方法，其中該記憶體為一快閃記憶體 (Flash Memory)。

如所述之記憶體之實體分頁配置的方法，其中每一分頁之記憶容量為 512 個位元組 (512 Bytes)。

如所述之記憶體之實體分頁配置的方法，其中每一組分頁之記憶容量為 $512 * N$ 個位元組 (Bytes)。

如所述之記憶體之實體分頁配置的方法，其中當該第五組分頁與該第二組分頁為相鄰之連續分頁，以及該第七



五、發明說明 (5)

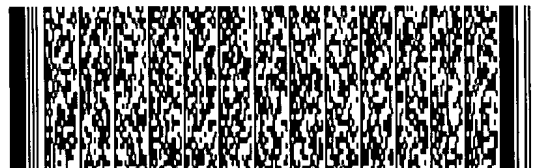
組分頁與該第四組分頁為相鄰之連續分頁時，係為二路交錯模式 (2-way Interleave Mode) 之配置。

如所述之記憶體之實體分頁配置的方法，當該第三組分頁與該第二組分頁為相鄰之連續分頁、該第七組分頁與該第六組分頁為相鄰之連續分頁，以及該第五組分頁與該第四組分頁為相鄰之連續分頁時，係為四路交錯模式 (4-way Interleave Mode) 之配置。

[實施方式]

請參見第三圖，為本案較佳實施例之記憶體之實體分頁配置 (Physical Page Allocation) 的方法，其中記憶體係為快閃記憶體 (Flash Memory)。第三圖上圖為一組分頁包含一個分頁，每一分頁 (Page) 之記憶容量為 512 個位元組 (512 Bytes)；第三圖下圖則係每組分頁包含四個分頁，記憶容量為 2048 個位元組 (2048 Bytes)，以下以第三圖上圖說明。

如第三圖上圖所示，本案實施例係採取二路交錯模式 (2-way Interleave Mode)，先由記憶體晶片 CS0 (第一記憶體晶片) 與 CS1 (第二記憶體晶片) 交錯配置分頁，即分頁 Page 0 (第一組分頁，N=1 時一組分頁只包含一個分頁) 配置於 CS0，分頁 Page 1 (第二組分頁，N=1 時一組分頁只包含一個分頁) 配置於 CS1，然後 Page 2 (第三組分頁，N=1 時一組分頁只包含一個分頁) 配置於 CS0，Page 3 (第四組分頁，N=1 時一組分頁只包含一個分頁) 配置於

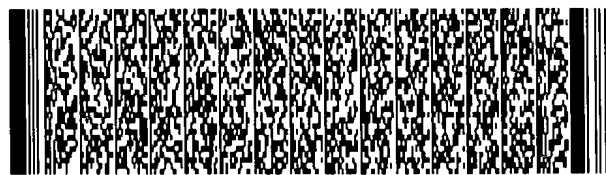


五、發明說明 (6)

CS1，以此類推，直到 Page $m-1$ 配置於 CS0，Page m 配置於 CS1。記憶體晶片 CS0 與 CS1 配置完其記憶容量後，由記憶體晶片 CS2 與 CS3 接續交錯配置其他分頁，即分頁 Page $m+1$ 配置於 CS2，分頁 Page $m+2$ 配置於 CS3，然後 Page $m+3$ 配置於 CS2，Page $m+4$ 配置於 CS3，以此類推，直到 Page $n-1$ 配置於 CS2，Page n 配置於 CS3。

第四圖所示為本案較佳實施例之存取時序圖。由於本案較佳實施例之記憶體之實體分頁配置 (Physical Page Allocation) 採取上述之交錯模式 (Interleave Mode)，每一分頁皆與其相鄰之前後分頁配置於不同之記憶體晶片，因此對於大量而連續之資料，其每一筆資料之寫入程序，從下達寫入命令 (Program Command) 後，只需進行到資料寫入開始 (Program Start，此時忙碌信號 RnB0 由高準位變成低準位時)，即可以再進行下一筆資料寫入程序，毋須等待實際寫入動作完成。因此，採取二路交錯模式 (2-way Interleave Mode) 之配置，可以比習用技術提高至少兩倍之存取速度。

第五圖為本案另一較佳實施例，係採取四路交錯模式 (4-way Interleave Mode) 之記憶體之實體分頁配置 (Physical Page Allocation) 的方法，其中每一分頁 (Page) 之記憶容量為 512 個位元組 (512 Bytes)。如圖所示，各分頁由記憶體晶片 CS0 (第一記憶體晶片)、CS1 (第二記憶體晶片)、CS2 (第三記憶體晶片) 和 CS3 (第四記憶體晶片) 交錯配置，即分頁 Page 0 (第一組分頁，

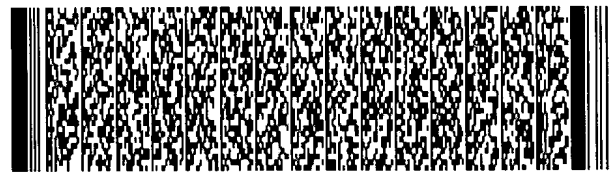
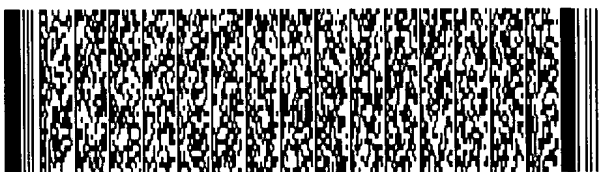


五、發明說明 (7)

$N=1$ 時一組分頁只包含一個分頁)、Page 1(第二組分頁, $N=1$ 時一組分頁只包含一個分頁)、Page 2(第五組分頁, $N=1$ 時一組分頁只包含一個分頁)和Page 3(第六組分頁, $N=1$ 時一組分頁只包含一個分頁)分別配置於CS0、CS1、CS2和CS3,然後分頁Page 4(第三組分頁, $N=1$ 時一組分頁只包含一個分頁)、Page 5(第四組分頁, $N=1$ 時一組分頁只包含一個分頁)、Page 6和Page 7再接著配置於CS0、CS1、CS2和CS3,以此類推,直到分頁Page $n-3$ 、Page $n-2$ 、Page $n-1$ 和Page n 分別配置於CS0、CS1、CS2和CS3。採取四路交錯模式(4-way Interleave Mode)之配置,其存取時序同樣如第四圖所示,對於大量而連續之資料,其每一筆資料之寫入程序,從下達寫入命令(Program Command)後,只需進行到資料寫入開始

(Program Start,此時忙碌信號RnB0由高準位變成低準位時),即可以再進行下一筆資料寫入程序,因此其存取速度可以比習用技術提高至少四倍之存取速度。

第六圖為本案另一較佳實施例,其中每兩個512位元組之分頁合併(Merge)為一組分頁($N=2$),因此每組分頁為1024個位元組(1024 Bytes),而記憶體之實體分頁配置(Physical Page Allocation)的方法係採取四路交錯模式(4-way Interleave Mode),亦可採取二路交錯模式(2-way Interleave Mode)。如圖所示,各組分頁由記憶體晶片CS0、CS1、CS2和CS3交錯配置,即分頁Page 0與Page 1、Page 2與Page 3、Page 4與Page 5,以及Page 6與



五、發明說明 (8)

Page 7分別配置於 CS0、CS1、CS2和 CS3，然後分頁 Page 8與 Page 9、Page 10與 Page 11、Page 12與 Page 13，以及 Page 14與 Page 15再接著配置於 CS0、CS1、CS2和 CS3，以此類推，直到分頁 Page n-7與 Page n-6、Page n-5與 Page n-4、Page n-3與 Page n-2，以及 Page n-1與 Page n分別配置於 CS0、CS1、CS2和 CS3。

第七圖為本案另一較佳實施例，其中每四個 512 位元組之分頁合併 (Merge) 為一組分頁 ($N=4$)，因此每組分頁為 2048 個位元組 (2048 Bytes)，而記憶體之實體分頁配置 (Physical Page Allocation) 的方法係採取四路交錯模式 (4-way Interleave Mode)，亦可採取二路交錯模式 (2-way Interleave Mode)。如圖所示，各組分頁由記憶體晶片 CS0、CS1、CS2 和 CS3 交錯配置，即分頁 Page 0 至 Page 3、Page 4 至 Page 7、Page 8 至 Page 11，以及 Page 12 至 Page 15 分別配置於 CS0、CS1、CS2 和 CS3，然後分頁分頁 Page 16 至 Page 19、Page 20 至 Page 23、Page 24 至 Page 27，以及 Page 28 至 Page 31 再接著配置於 CS0、CS1、CS2 和 CS3，以此類推，直到分頁分頁 Page n-15 至 Page n-12、Page n-11 至 Page n-8、Page n-7 至 Page n-4，以及 Page n-3 至 Page n 分別配置於 CS0、CS1、CS2 和 CS3。

第六圖與第七圖所示之較佳實施例，在採取二路交錯模式 (2-way Interleave Mode) 或四路交錯模式 (4-way Interleave Mode) 之配置時，其存取時序同樣可以達到如第四圖所示，而其寫入速度可以比習用技術提高至少二倍

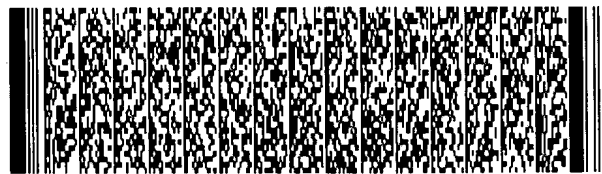
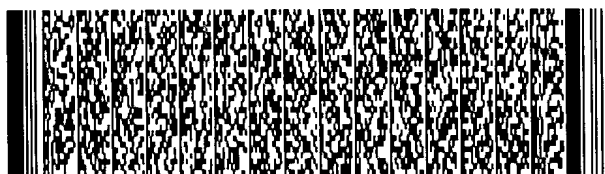


五、發明說明 (9)

或四倍之寫入速度。且如果快閃記憶體的每一組分頁大小大於每一分頁時，對每一分頁讀取大量而連續之資料，且這些每一分頁均屬同一組分頁，則可將之合併在一次的讀取命令 (Read Command) 進行實際的讀取動作，在下次讀取連續分頁時不用重新執行讀取命令 (Read Command) 可直接繼續進行讀取動作，節省元件的等待時間以求達到高速存取之目的。

本案係針對習用技術提出改善，藉由將記憶體之每一分頁或每一組分頁，與其相鄰之分頁配置於不同之記憶體晶片，使得記憶體在寫入大量而連續之資料時，其每一筆資料之寫入程序，從下達寫入命令 (Program Command) 後，只要進行到實際寫入動作開始，即可以再進行下一筆資料寫入程序。而本案之進步性在於，在採取二路交錯模式 (2-way Interleave Mode) 或四路交錯模式 (4-way Interleave Mode) 之配置時，記憶體之存取速度，尤其係快閃記憶體之存取速度，可以比習用技術提高至少二倍或四倍，而達到本案加速記憶體存取速度之目的。

本案所揭露之技術，得由熟習本技術人士據以實施，而其前所未有之作法亦具備專利性，爰依法提出專利之申請。惟上述之實施例尚不足以涵蓋本案所欲保護之專利範圍，因此，提出申請專利範圍如附。



圖式簡單說明

[圖 示 簡 單 說 明]

本案得藉由下列圖示及詳細說明，俾得一更深入之瞭解：

第一圖：習知快閃記憶體之實體分頁配置 (Physical Page Allocation)

第二圖：習知快閃記憶體之存取時序圖

第三圖：本案較佳實施例之記憶體之實體分頁配置 (Physical Page Allocation)的方法

第四圖：本案較佳實施例之存取時序圖

第五圖：採取四路交錯模式 (4-way Interleave Mode)之記憶體之實體分頁配置 (Physical Page Allocation)的方法

第六圖：每組分頁為 1024 個位元組 (1024 Bytes)之記憶體之實體分頁配置 (Physical Page Allocation)

第七圖：每組分頁為 2048 個位元組 (2048 Bytes)之記憶體之實體分頁配置 (Physical Page Allocation)

圖示主要元件之圖號如下：

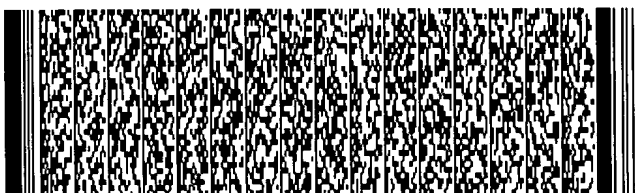
Blk[]：記憶體區塊 (Blocks)

Page：記憶體實體分頁

IO：輸入 / 輸出 (Input/Output)

CS0、CS1、CS2、CS3：記憶體晶片

nCS0、nCS1：晶片選取 (Chip Select)



圖式簡單說明

CLE: 命令鎖定致能 (Command Latch Enable)

ALE: 位址鎖定致能 (Address Latch Enable)

nRE: 讀取致能 (Read Enable)

nWE: 寫入致能 (Write Enable)

RnB、RnB0、RnB1: 忙碌信號 (Busy)



六、申請專利範圍

1、一種記憶體之實體分頁配置 (Physical Page Allocation) 的方法，係提供複數個記憶體晶片以進行下列步驟：

定義 N 個連續分頁為一組分頁，其中 N 為正整數；

配置一第一組分頁於一第一記憶體晶片；

配置一第二組分頁於一第二記憶體晶片，其中該第二組分頁與該第一組分頁為相鄰之連續分頁；

配置一第三組分頁於該第一記憶體晶片；以及

配置一第四組分頁於該第二記憶體晶片，其中該第四組分頁與該第三組分頁為相鄰之連續分頁。

2、如申請專利範圍第 1 項所述之記憶體之實體分頁配置的方法，其中該記憶體為一快閃記憶體 (Flash Memory)。

3、如申請專利範圍第 1 項所述之記憶體之實體分頁配置的方法，其中每一分頁之記憶容量為 512 個位元組 (512 Bytes)。

4、如申請專利範圍第 1 項所述之記憶體之實體分頁配置的方法，其中每一組分頁之記憶容量為 $512 * N$ 個位元組 (Bytes)。

5、如申請專利範圍第 1 項所述之記憶體之實體分頁配置的方法，其中當該第三組分頁與該第二組分頁為相鄰之連續分頁時，係為二路交錯模式 (2-way Interleave Mode) 之配置。

6、一種記憶體之實體分頁配置 (Physical Page



六、申請專利範圍

Allocation)的方法，係提供複數個記憶體晶片以進行下列步驟：

定義 N個連續分頁為一組分頁，其中 N為正整數；

配置一第一組分頁於一第一記憶體晶片；

配置一第二組分頁於一第二記憶體晶片，其中該第二組分頁與該第一組分頁為相鄰之連續分頁；

配置一第三組分頁於一第三記憶體晶片；

配置一第四組分頁於一第四記憶體晶片，其中該第四組分頁與該第三組分頁為相鄰之連續分頁。

配置一第五組分頁於該第一記憶體晶片；

配置一第六組分頁於該第二記憶體晶片，其中該第六組分頁與該第五組分頁為相鄰之連續分頁。

配置一第七組分頁於該第三記憶體晶片；以及

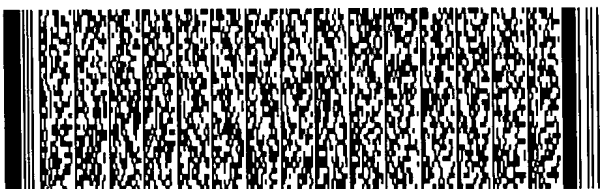
配置一第八組分頁於該第四記憶體晶片，其中該第八組分頁與該第七組分頁為相鄰之連續分頁。

7、如申請專利範圍第 6項所述之記憶體之實體分頁配置的方法，其中該記憶體為一快閃記憶體 (Flash Memory)。

8、如申請專利範圍第 6項所述之記憶體之實體分頁配置的方法，其中每一分頁之記憶容量為 512個位元組 (512 Bytes)。

9、如申請專利範圍第 6項所述之記憶體之實體分頁配置的方法，其中每一組分頁之記憶容量為 $512 * N$ 個位元組 (Bytes)。

10、如申請專利範圍第 6項所述之記憶體之實體分頁配置



六、申請專利範圍

的方法，其中當該第五組分頁與該第二組分頁為相鄰之連續分頁，以及該第七組分頁與該第四組分頁為相鄰之連續分頁時，係為二路交錯模式 (2-way Interleave Mode) 之配置。

11、如申請專利範圍第 6 項所述之記憶體之實體分頁配置的方法，其中當該第三組分頁與該第二組分頁為相鄰之連續分頁、該第七組分頁與該第六組分頁為相鄰之連續分頁，以及該第五組分頁與該第四組分頁為相鄰之連續分頁時，係為四路交錯模式 (4-way Interleave Mode) 之配置。



第 1/17 頁



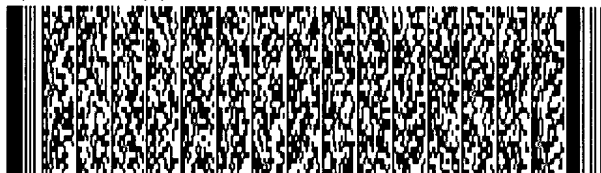
第 2/17 頁



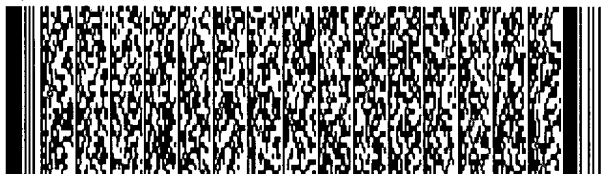
第 3/17 頁



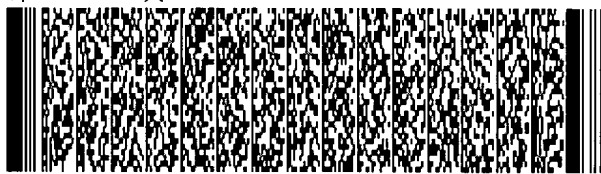
第 4/17 頁



第 4/17 頁



第 5/17 頁



第 5/17 頁



第 6/17 頁



第 6/17 頁



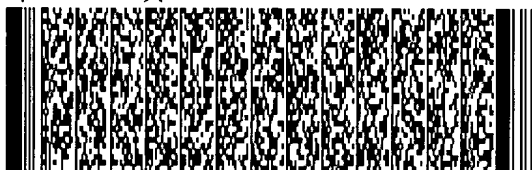
第 7/17 頁



第 8/17 頁



第 8/17 頁



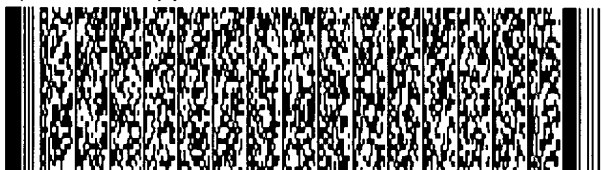
第 9/17 頁



第 9/17 頁



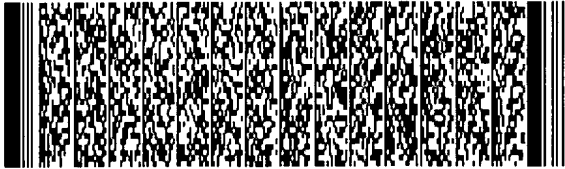
第 10/17 頁



第 10/17 頁



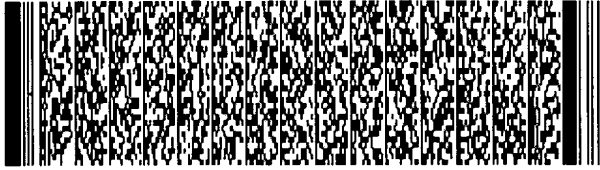
第 11/17 頁



第 11/17 頁



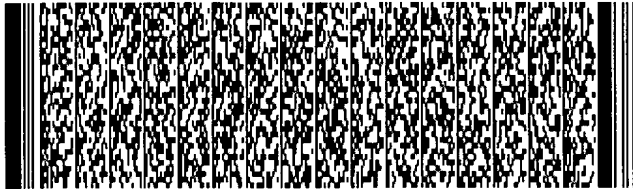
第 12/17 頁



第 12/17 頁



第 13/17 頁



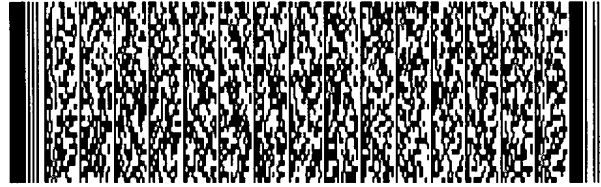
第 14/17 頁



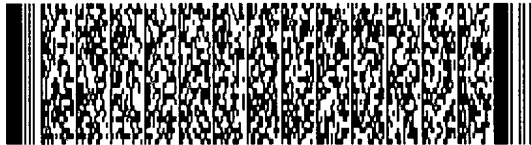
第 15/17 頁



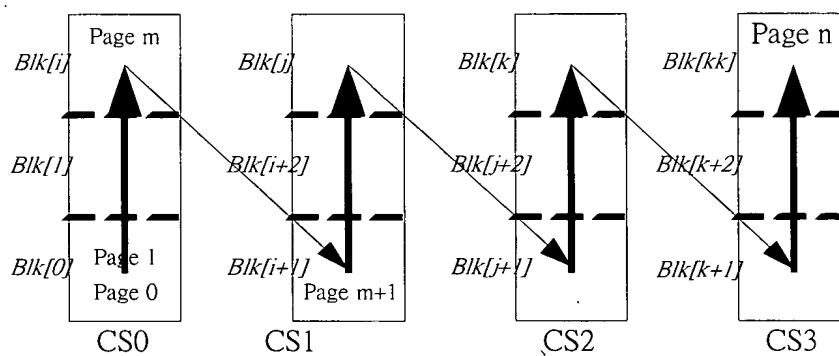
第 16/17 頁



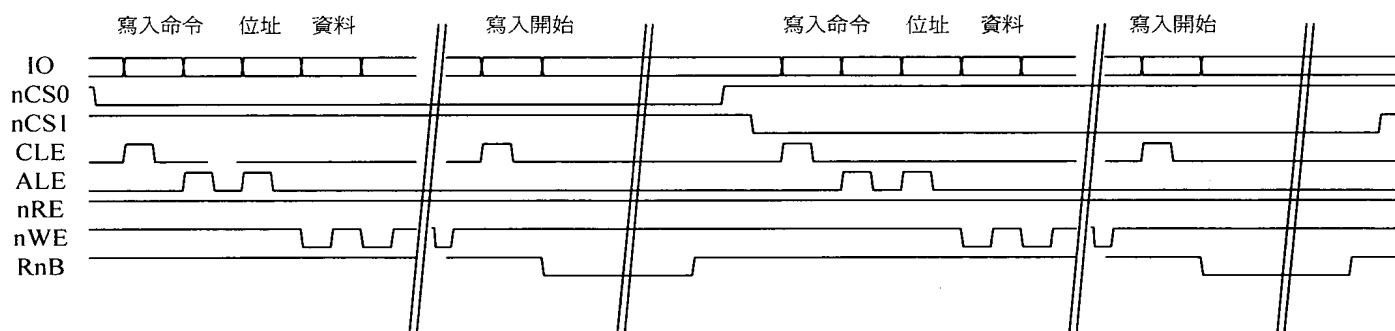
第 17/17 頁



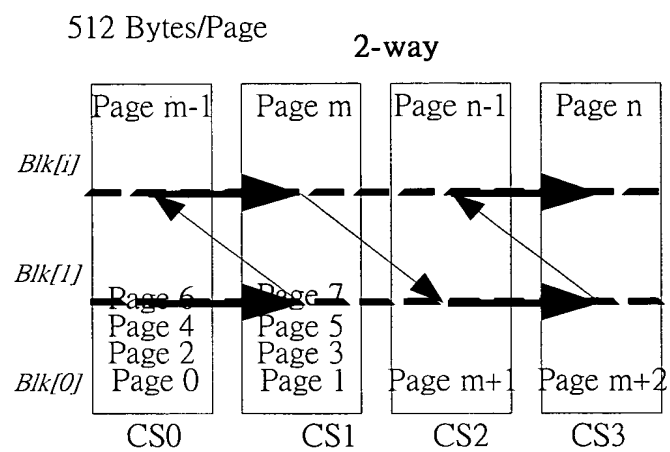
512 Bytes/Page



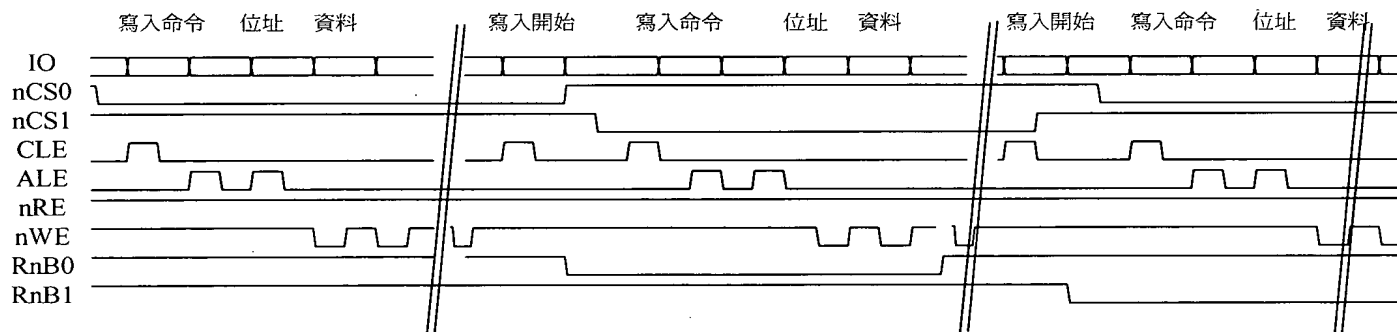
第一圖



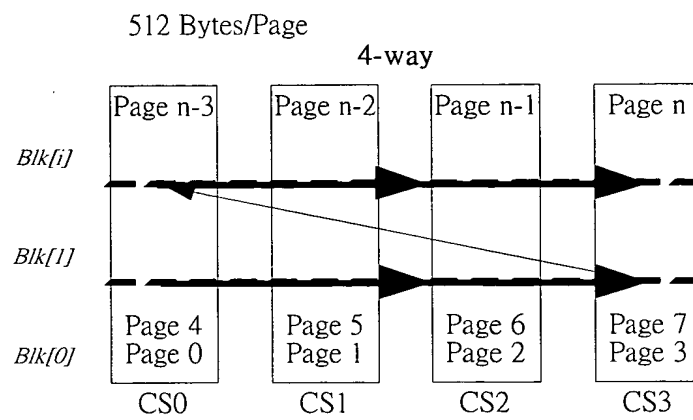
第二圖



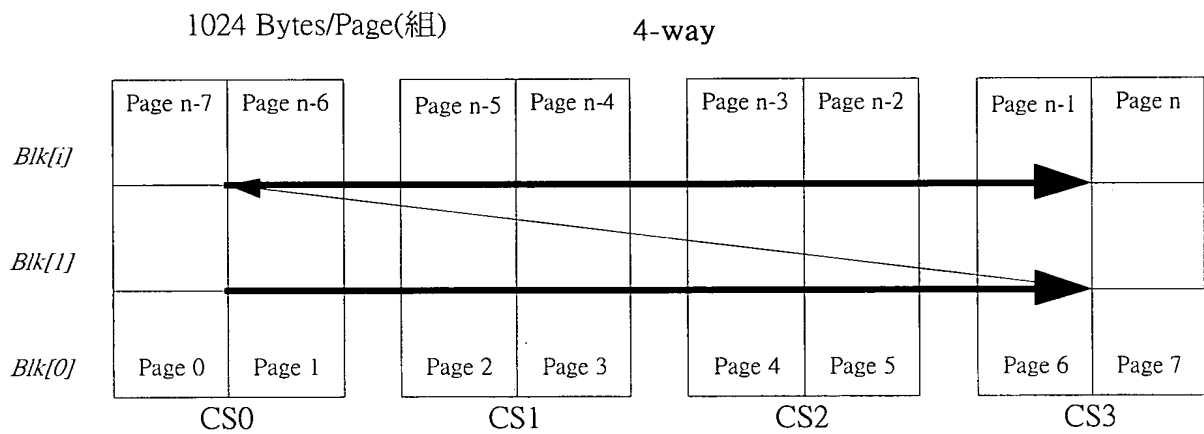
第三圖



第四圖



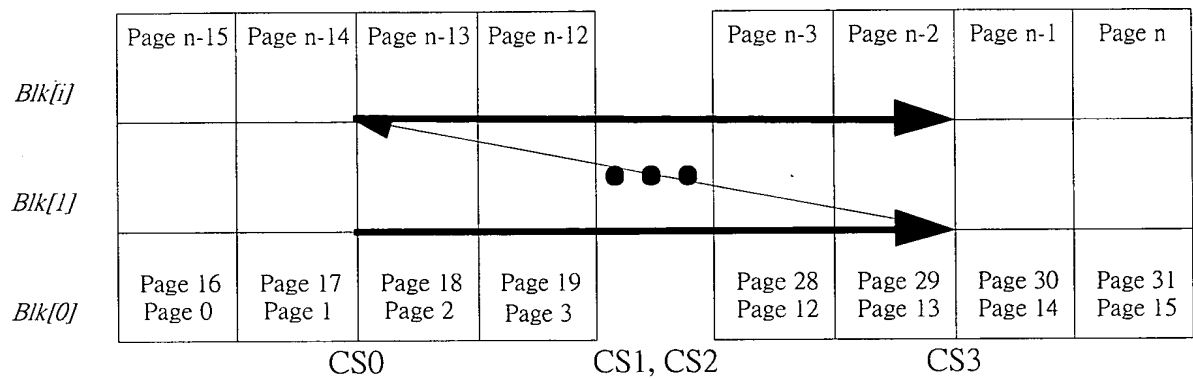
第五圖



第六圖

2048 Bytes/Page(組)

4-way



第七圖